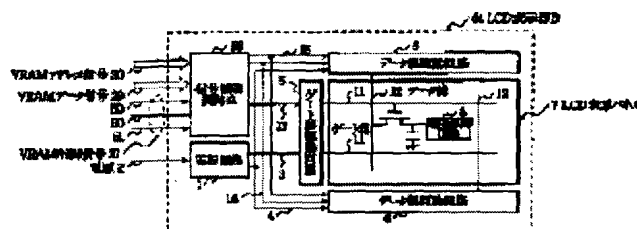


LCD DISPLAY DEVICE**Patent number:** JP10228012**Publication date:** 1998-08-25**Inventor:** IKEDA TAKESHI**Applicant:** NEC NIIGATA LTD**Classification:**

- international: G02F1/133; G09F9/35; G09G3/36; G02F1/13;
G09F9/35; G09G3/36; (IPC1-7): G02F1/133; G09F9/35;
G09G3/36

- european:**Application number:** JP19970028829 19970213**Priority number(s):** JP19970028829 19970213**Report a data error here****Abstract of JP10228012**

PROBLEM TO BE SOLVED: To shorten the wait time of access to a video memory and to reduce the power consumption. **SOLUTION:** The need for display refreshing operation is eliminated by providing a voltage holding circuit 8 for each pixel of an LCD display panel 7. Further, an LCD address signal 10 is supplied to a signal control circuit 9 as the external input of an LCD display unit 27 and then a display of only arbitrary pixels of the LCD display panel 7 is updated under external control. Therefore, data transfer to the LCD display unit 27 is performed only when a system updates (rewrites) display data and only data on the pixels which are updated at this time need to be transferred.



【特許請求の範囲】

【請求項 1】 画素毎に印加電圧を保持する電圧保持手段を有することを特徴とする LCD 表示装置。

【請求項 2】 表示情報の更新を行う画素を任意に指定する画素指定手段を有することを特徴とする LCD 表示装置。

【請求項 3】 画素毎に印加電圧を保持する電圧保持手段と、表示情報の更新を行う画素を任意に指定する画素指定手段とを有することを特徴とする LCD 表示装置。

【請求項 4】 画像データを記憶するビデオメモリと、前記ビデオメモリに前記画像データの転送を行う V R A M データ信号送出手段と、前記ビデオメモリに書き込み、読み出しを行うメモリ番地を指定する V R A M アドレス信号送出手段と、前記書き込み、読み出しの開始タイミングを前記ビデオメモリに通知する V R A M 制御信号通知手段と、画素の輝度データを L C D 表示器に転送する L C D データ信号送出手段と、画素の位置指定を行う L C D アドレス信号を前記 L C D 表示器に通知する L C D アドレス信号通知手段と、前記 L C D データ信号および前記 L C D アドレス信号の転送開始タイミングを前記 L C D 表示器に通知する L C D 制御信号通知手段と、を備えた L C D 表示回路と、

ゲート線駆動基準電圧信号、データ線駆動基準電圧信号を生成してそれぞれゲート線駆動回路、データ線駆動回路に供給し、L C D 表示パネルの電圧保持手段に電源を供給する電源回路と、前記 L C D アドレス信号を受信して駆動するゲート線、データ線をそれぞれ前記ゲート線駆動回路、前記データ線駆動回路に通知するためのゲート線選択信号とデータ線選択信号を生成する選択信号生成手段と、前記 L C D データ信号を受信してデータ線に印加する電圧を前記データ線駆動回路に通知するための階調データ信号を生成する階調データ信号生成手段と、前記ゲート線駆動基準電圧信号および前記ゲート線選択信号を受信して駆動するゲート線に電圧を印加する前記ゲート線駆動回路と、前記データ線駆動基準電圧信号、前記データ線選択信号および前記階調データ信号を受信して駆動するデータ線に電圧を印加する前記データ線駆動回路と、画素毎に印加電圧を保持する前記電圧保持手段を設け、ゲート線、データ線に接続されて指定の画素を指定の輝度で表示する前記 L C D 表示パネルと、を備えた L C D 表示器と、を有することを特徴とする L C D 表示装置。

【請求項 5】 画像データを記憶するビデオメモリと、前記ビデオメモリに前記画像データの転送を行い、L C D 表示器に画素の輝度データを転送する V R A M データ信号送出手段と、前記ビデオメモリに書き込み、読み出しを行うメモリ番地を指定し、前記 L C D 表示器に画素の位置指定を行う V R A M アドレス信号を通知する V R A M アドレス信号通知手段と、前記書き込み、読み出しの開始タイミングを前記ビデオメモリに通知し、前記 V

R A M データ信号および前記 V R A M アドレス信号の転送開始タイミングを前記 L C D 表示器に通知する V R A M 制御信号通知手段と、を備えた L C D 表示回路と、ゲート線駆動基準電圧信号、データ線駆動基準電圧信号を生成してそれぞれゲート線駆動回路、データ線駆動回路に供給し、L C D 表示パネルの電圧保持手段に電源を供給する電源回路と、前記 V R A M アドレス信号を受信して駆動するゲート線、データ線をそれぞれ前記ゲート線駆動回路、前記データ線駆動回路に通知するためのゲート線選択信号とデータ線選択信号とを生成する選択信号生成手段と、前記 V R A M データ信号を受信してデータ線に印加する電圧を前記データ線駆動回路に通知するための階調データ信号を生成する階調データ信号生成手段と、前記ゲート線駆動基準電圧信号および前記ゲート線選択信号を受信して駆動するゲート線に電圧を印加する前記ゲート線駆動回路と、前記データ線駆動基準電圧信号、前記データ線選択信号および前記階調データ信号を受信して駆動するデータ線に電圧を印加する前記データ線駆動回路と、画素毎に印加電圧を保持する前記電圧保持手段を設け、ゲート線、データ線に接続されて指定の画素を指定の輝度で表示する前記 L C D 表示パネルと、を備えた L C D 表示器と、を有することを特徴とする L C D 表示装置。

【請求項 6】 前記電圧保持手段は、C M O S - F E T によるフリップフロップであることを特徴とする請求項 1、3、4 または 5 記載の L C D 表示装置。

【請求項 7】 前記電圧保持手段は、増幅率 1 の増幅回路によるループバック方式であり、任意の電圧を保持することを特徴とする請求項 1、3、4 または 5 記載の L C D 表示装置。

【請求項 8】 前記画素指定手段は、時分割しないアドレス信号を用いることを特徴とする請求項 2 または 3 記載の L C D 表示装置。

【請求項 9】 前記画素指定手段は、時分割したアドレス信号を用いることを特徴とする請求項 2 または 3 記載の L C D 表示装置。

【請求項 10】 前記画素指定手段は、V R A M アドレス信号を用いることを特徴とする請求項 2 または 3 記載の L C D 表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータ装置等の電子機器における L C D 表示装置に関し、特に装置全体の消費電力低減、描画性能向上を目的とした L C D 表示装置に関するものである。

【0002】

【従来の技術】従来の T F T 型 L C D 表示装置においては、1991 年 9 月 1 日付け発行の刊行物「液晶ディスプレイ その概要と応用市場」（筆者：内田 龍男）の 35 頁、43 頁、65 頁、67 頁、68 頁、または、1

994年11月1日付け「次世代液晶ディスプレイ技術」(筆者:鷲塚 諫)の84頁~87頁に示されているように、各画素はDRAMのメモリセルに似た構造となっており、その加電状態を維持するために、表示情報が記憶されたビデオメモリ(VRAM)から定期的に表示情報を読み出してLCD表示器に再表示する、いわゆる表示リフレッシュと呼ばれる動作を必要としていた。

【0003】図14は、従来のLCD表示パネルの内部構造を示す概略図である。Y軸方向に走る信号線 X_i ($i=1, 2, \dots, M$; X軸方向の画素数がM個の場合)とX軸方向に走る信号線 Y_j ($j=1, 2, \dots, N$; Y軸方向の画素数がN個の場合)の各交点に、トランジスタスイッチ19は Y_j 18にゲート電極24が接続されていて、 Y_j に正電圧を加えるとドレイン電極-ソース電極間の電気抵抗が低下して導通状態となる。ドレイン電極20には X_i 22が接続され、ソース電極21には画素 P_{ij} 23が接続され X_i 22に加えられた電圧が画素 P_{ij} 23にも加えられる。その電圧により画素 P_{ij} の透過度を制御する。各画素の透過度は表示面87の輝度となって反映されて表示を行う。

【0004】図15は、第1の従来の技術を示すLCD表示装置のブロック図である。ビデオメモリ25は、表示データの記憶および描画操作を行うための記憶装置である。LCD表示回路26は、描画情報などの演算を行うシステム側とビデオメモリ25との間の表示データの転送を制御し、更にLCD表示器27を制御する制御回路である。同期信号67は、垂直同期信号(V_{sync})、水平同期信号(H_{sync})、表示クロック(CLK)といった表示タイミングを作るための信号であり、LCD表示回路26がLCD表示器27に与える。LCDデータ信号15は、表示データを転送する複数の信号線からなる信号群(バス)であり、LCD表示回路26がビデオメモリ25からVRAMデータ信号29を通じて読み込んだ表示データをLCD表示器27へ転送する。ここでLCD表示回路26は、LCD表示器27の要求に合わせて表示データを加工する場合がある。VRAM制御信号31は、ビデオメモリ25に対して表示データの読み込みや書き込みを行うために、LCD表示回路26により生成されてビデオメモリ22に入力される。システムI/Fバス28は、システムとの表示データの転送を行う。

【0005】図16は、第2の従来の技術を示すブロック図である。図16は、いわゆる共有メモリ構造の例であり、描画情報などの演算を行うシステム側の演算情報を記憶するためのシステムメモリ33を、システム制御回路32とLCD表示回路26とが共有している。すなわち、システムメモリ33には、システム側の演算情報とLCD表示装置側の表示データの両方が記憶されることになる。

【0006】図17は、従来の技術における表示タイミングを示す図である。

【0007】次に、動作について図14~図17を参照して説明する。なお、便宜上、以下の説明では図14におけるX軸方向のラインを行、Y軸方向のラインを列と呼ぶこととする。

【0008】図14において、画素 P_{ij} 23はコンデンサの役割を成し、トランジスタスイッチ19のソース電極21に与えられた電荷はここに蓄えられる。しかし、徐々に放電されるため、予め定められた一定期間毎に再度電荷を与える(再充電)必要がある。この動作が、いわゆる表示リフレッシュであり、表示情報の更新の有無に関わらず常時行われる。

【0009】図17(A)において、 $V_{sync}=1$ の間に H_{sync} がN(Y軸方向の画素数)回以上“1”、“0”を繰り返す。この1回の $H_{sync}=1$ の間に1行分の表示リフレッシュを行う。従って、一つの $V_{sync}=1$ の期間に1画面分の表示リフレッシュを行うことになる。図17(A)の81に示すj番目の $H_{sync}=1$ はj行目をリフレッシュしている期間であり、図17(B)はこの期間を拡大した図である。

【0010】図17(B)において、 $H_{sync}=1$ の期間ではCLKの立ち下がり毎にX軸方向に1画素ずつ表示、つまり、再充電を行う。図17(B)の82ではj行、i列目の画素の表示を行い、次のCLK立ち下がりである83ではj行、i+1列目の表示を行う。なお、この表示に先だって図15のビデオメモリ25から表示データを読み込む必要があるが、それが図17(B)の84であり、85では次の画素のデータを読み込む。従って、システム側がビデオメモリにアクセス可能なタイミングは86の部分になる。

【0011】更に、図16に示す共有メモリ構成の装置においては、システム側の演算情報の書き込みと読み込みも図17(B)の86の部分のみで行われる。

【0012】

【発明が解決しようとする課題】上述した従来の技術における第1の問題点は、LCD表示器の表示リフレッシュを行うため、常にビデオメモリに対してアクセスを行わなければならないことから、消費電力が大きくなってしまふことである。

【0013】第2の問題点は、表示リフレッシュに伴う表示データの読み出しを優先で行うため、その間システム側からビデオメモリへのデータの転送を行えず、システム性能が悪化することである。

【0014】第3の問題点は、表示リフレッシュのための表示タイミングのずれによって表示のずれ、ちらつき等が発生し、LCD表示品質が悪化することである。

【0015】第4の問題点は、LCD表示回路とLCD表示器間の表示リフレッシュのための表示タイミングが

LCD表示器毎に異なるため、インターフェースの規格化ができないことからLCD表示回路の共通化が実現できないことである。

【0016】本発明は、以上の問題を解決し、LCD表示品質を向上させ、LCD表示回路の共通化を実現し、ビデオメモリへのアクセスの待ち時間を減少するとともに、消費電力を低減したLCD表示装置を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明の第1のLCD表示装置は、画素毎に印加電圧を保持する電圧保持手段を有することを特徴とする。

【0018】本発明の第2のLCD表示装置は、表示情報の更新を行う画素を任意に指定する画素指定手段を有することを特徴とする。

【0019】本発明の第3のLCD表示装置は、画素毎に印加電圧を保持する電圧保持手段と、表示情報の更新を行う画素を任意に指定する画素指定手段とを有することを特徴とする。

【0020】本発明の第4のLCD表示装置は、画像データを記憶するビデオメモリと、前記ビデオメモリに前記画像データの転送を行うVRAMデータ信号送出手段と、前記ビデオメモリに書き込み、読み出しを行うメモリ番地を指定するVRAMアドレス信号送出手段と、前記書き込み、読み出しの開始タイミングを前記ビデオメモリに通知するVRAM制御信号通知手段と、画素の輝度データをLCD表示器に転送するLCDデータ信号送出手段と、画素の位置指定を行うLCDアドレス信号を前記LCD表示器に通知するLCDアドレス信号通知手段と、前記LCDデータ信号および前記LCDアドレス信号の転送開始タイミングを前記LCD表示器に通知するLCD制御信号通知手段と、を備えたLCD表示回路と、ゲート線駆動基準電圧信号、データ線駆動基準電圧信号を生成してそれぞれゲート線駆動回路、データ線駆動回路に供給し、LCD表示パネルの電圧保持手段に電源を供給する電源回路と、前記LCDアドレス信号を受信して駆動するゲート線、データ線をそれぞれ前記ゲート線駆動回路、前記データ線駆動回路に通知するためのゲート線選択信号とデータ線選択信号を生成する選択信号生成手段と、前記LCDデータ信号を受信してデータ線に印加する電圧を前記データ線駆動回路に通知するための階調データ信号を生成する階調データ信号生成手段と、前記ゲート線駆動基準電圧信号および前記ゲート線選択信号を受信して駆動するゲート線に電圧を印加する前記ゲート線駆動回路と、前記データ線駆動基準電圧信号、前記データ線選択信号および前記階調データ信号を受信して駆動するデータ線に電圧を印加する前記データ線駆動回路と、画素毎に印加電圧を保持する前記電圧保持手段を設け、ゲート線、データ線に接続されて指定の画素を指定の輝度で表示する前記LCD表示パネルと、

を備えたLCD表示器と、を有することを特徴とする。

【0021】本発明の第5のLCD表示装置は、画像データを記憶するビデオメモリと、前記ビデオメモリに前記画像データの転送を行い、LCD表示器に画素の輝度データを転送するVRAMデータ信号送出手段と、前記ビデオメモリに書き込み、読み出しを行うメモリ番地を指定し、前記LCD表示器に画素の位置指定を行うVRAMアドレス信号を通知するVRAMアドレス信号通知手段と、前記書き込み、読み出しの開始タイミングを前記ビデオメモリに通知し、前記VRAMデータ信号および前記VRAMアドレス信号の転送開始タイミングを前記LCD表示器に通知するVRAM制御信号通知手段と、を備えたLCD表示回路と、ゲート線駆動基準電圧信号、データ線駆動基準電圧信号を生成してそれぞれゲート線駆動回路、データ線駆動回路に供給し、LCD表示パネルの電圧保持手段に電源を供給する電源回路と、前記VRAMアドレス信号を受信して駆動するゲート線、データ線をそれぞれ前記ゲート線駆動回路、前記データ線駆動回路に通知するためのゲート線選択信号とデータ線選択信号とを生成する選択信号生成手段と、前記VRAMデータ信号を受信してデータ線に印加する電圧を前記データ線駆動回路に通知するための階調データ信号を生成する階調データ信号生成手段と、前記ゲート線駆動基準電圧信号および前記ゲート線選択信号を受信して駆動するゲート線に電圧を印加する前記ゲート線駆動回路と、前記データ線駆動基準電圧信号、前記データ線選択信号および前記階調データ信号を受信して駆動するデータ線に電圧を印加する前記データ線駆動回路と、画素毎に印加電圧を保持する前記電圧保持手段を設け、ゲート線、データ線に接続されて指定の画素を指定の輝度で表示する前記LCD表示パネルと、を備えたLCD表示器と、を有することを特徴とする。

【0022】本発明の第6のLCD表示装置は、本発明の第1、第3、第4、または第5のLCD表示装置において、前記電圧保持手段は、CMOS-FETによるフリップフロップであることを特徴とする。

【0023】本発明の第7のLCD表示装置は、本発明の第1、第3、第4、または第5のLCD表示装置において、前記電圧保持手段は、増幅率1の増幅回路によるループバック方式であり、任意の電圧を保持することを特徴とする。

【0024】本発明の第8のLCD表示装置は、本発明の第2または第3のLCD表示装置において、前記画素指定手段は、時分割しないアドレス信号を用いることを特徴とする。

【0025】本発明の第9のLCD表示装置は、本発明の第2または第3のLCD表示装置において、前記画素指定手段は、時分割したアドレス信号を用いることを特徴とする。

【0026】本発明の第10のLCD表示装置は、本発

明の第2または第3のLCD表示装置において、前記画素指定手段は、VRAMアドレス信号を用いることを特徴とする。

【0027】

【発明の実施の形態】本発明の発明の実施の形態について図面を参照して説明する。

【0028】まず、本発明の第1の実施の形態について説明する。

【0029】図1は、本発明の第1の実施の形態を示すLCD表示器のブロック図である。電源回路1は、入力された電源2を基にゲート線駆動基準電位信号3およびデータ線駆動基準電位信号4を生成し、それぞれの信号をゲート線駆動回路5またはデータ線駆動回路6に送出する。更に、電源回路1は、LCD表示パネル7内の電圧保持回路8用の電源を供給する。LCDアドレス信号10、LCDデータ信号15およびLCD制御信号17は、図3に示すLCD表示回路26から図1の信号制御回路9に入力されている。LCD制御信号17は、LCDアドレス信号10およびLCDデータ信号15を受け取るタイミングを信号制御回路9に通知する。

【0030】信号制御回路9は、LCD表示回路26から入力されたLCDアドレス信号10を基に、駆動すべきゲート線11とデータ線12とを通知するためにゲート線選択信号13とデータ線選択信号14とを生成し、ゲート線選択信号13をゲート線駆動回路5に、データ線選択信号14をデータ線駆動回路6にそれぞれ送出する。また、信号制御回路9は、LCDデータ信号15を基にデータ線12に印加すべき電圧を通知するための階調データ信号16を生成し、データ線駆動回路6に与える。

【0031】ゲート線駆動回路5は、ゲート線駆動基準電位信号3、ゲート線選択信号13、データ線駆動回路6は、データ線駆動基準電位信号4、データ線選択信号14、階調データ信号16を受け取り、所望のゲート線にゲート線駆動電位を、所望のデータ線に所望のデータ線駆動電位をそれぞれ印加する。ゲート線11とデータ線12はLCD表示パネル7に接続され、所望の画素を所望の輝度で表示する。

【0032】図2は、本発明の第1の実施の形態におけるLCD表示パネルの内部構造を示す図である。ゲート駆動電位を印加されたゲート線18に接続されたトランジスタ19においては、ドレイン電極20とソース電極21が導通状態となり、データ線に印加されたデータ線駆動電位は、ソース電極21に現れて当該画素23の透過率を決定すると同時に電圧保持回路8に保持される。

【0033】図3は、本発明の第1の実施の形態におけるLCD表示装置の一例を示すブロック図である。ビデオメモリ25は、画像データを記憶する記憶手段であり、LCD表示回路26は、システム側とのデータのやり取り、ビデオメモリ25へのデータ書き込み/読み出

し、LCD表示器27へのデータ転送を行う制御手段である。

【0034】また、システム1/F28は、システムとLCD表示回路26との間の画像データの転送を行うための入出力信号群であり、VRAMデータ信号29は、ビデオメモリ25とLCD表示回路26との間の画像データの転送を行うための入出力信号群であり、VRAMアドレス信号30は、LCD表示回路26がビデオメモリ25に対して書き込みまたは読み出しを行うべきメモリ番地の指定を行うための信号群であり、VRAM制御信号31は、書き込みおよび読み出しの開始タイミングをLCD表示回路26がビデオメモリ25に通知するための信号である。

【0035】LCD表示回路26は、LCD表示器27に対してLCDデータ信号15により画素の輝度データを転送し、LCDアドレス信号10によりその画像データがどの画素のものであるかの指定を行い、LCD制御信号17によりその転送の開始タイミングを通知する。

【0036】図4は、本発明の第1の実施の形態におけるLCD表示装置の他の例を示すブロック図である。描画情報の演算を行うシステム側のメモリ制御回路であるシステム制御回路32とLCD表示回路26は、同一の記憶手段であるシステムメモリ33を共有しており、同一の信号群で接続されている。すなわち、メモリアドレス信号34、メモリデータ信号35、メモリ制御信号36を備えた信号群である。システム制御回路32がシステムメモリ33にアクセスを行う場合には、LCD表示回路26は、これらの信号群を高抵抗（ハイインピーダンス）状態にする。逆に、LCD表示回路26がアクセスを行う場合には、システム制御回路32は、これらの信号群を高抵抗状態にする。これらのアクセス権の調停制御は、メモリアクセス要求信号65とメモリアクセス許可信号66を用いてシステム制御回路32で行う。

【0037】図5は、本発明の第1の実施の形態におけるLCD表示回路の詳細を示すブロック図である。システム側からシステムデータ信号37により入力された書き込みデータは、ライトバッファ38を通じてLCD表示器27とビデオメモリ25にそれぞれ異なった信号、すなわち、LCDデータ信号15またはVRAMデータ信号29として出力される。ビデオメモリ25から読み出されたデータはリードバッファ39を通じてシステム側へ出力される。また、ライトバッファ38の制御はライトバッファ制御信号56により、リードバッファ39の制御はリードバッファ制御信号57によりアドレス制御回路41が行う。

【0038】システム側からの要求が書き込みか読み込みかの判断を行うために、システム制御信号42がアドレス制御回路41に入力されている。また、アドレス制御回路41は、システム側から入力されたシステムアドレス信号40をビデオメモリ25およびLCD表示器2

7 のアドレスにそれぞれ変換し、VRAM アドレス信号 30 および LCD アドレス信号 10 として出力するとともにし、VRAM 制御信号 31 および LCD 制御信号 17 も併せて生成、出力する。

【0039】図 6 は、本発明の第 1 の実施の形態における電圧保持回路の一例を示すブロック図である。電圧保持回路 8 は、電源電圧値または 0 V の 2 値だけを記憶するように構成されている。画素 23 に接続されたポイント 92 は、1 つの PchMOSFET 88 と 1 つの NchMOSFET 90 のドレイン電極と、他の PchMOSFET 89 と他の NchMOSFET 91 のゲート電極とにつながつている。PchMOSFET 88 と NchMOSFET 90 のゲート電極は共に PchMOSFET 89 と NchMOSFET 91 のドレイン電極に接続する (図中 93)。また、PchMOSFET 88、89 のソース電極は共に電源に接続し (図中 94)、NchMOSFET 90、91 のソース電極はグランドに接続する (図中 95)。

【0040】図 7 は、本発明の第 1 の実施の形態における電圧保持回路の他の例を示すブロック図である。電圧保持回路 8 は、任意の電圧を保持するように構成されている。アナログスイッチ 98 には、各画素のトランジスタ 19 のソース電極からの信号 99 と、ローパスフィルタ 97 の出力で画素の電極に接続する信号 100 とが入力され、切り替え信号 101 で切り替えられた出力 102 は、出力電圧=入力電圧となるボルテージフォロア 96 を通りローパスフィルタ 97 に入力される。画素 23 ははローパスフィルタ 97 の出力に接続されている。

【0041】図 8 は、本発明の第 1 の実施の形態の動作を示すタイミングチャートである。

【0042】次に、本発明の第 1 の実施の形態の動作について図 1 ~ 図 8 を参照して詳細に説明する。

【0043】まず、本発明の電圧保持回路において、どのように電圧を保持するかについて図 6 および図 7 を用いて詳細に説明する。

【0044】電圧保持回路の一例を示す図 6 においては、ゲート駆動電位を印加されたゲート線 18 に接続されたトランジスタ 19 が ON 状態になると、データ線 22 の電位が画素 23 に印加される。印加された電圧は電圧保持回路 8 のポイント 92 へ入力される。それが電源電圧の場合、PchMOSFET 89 と NchMOSFET 91 のゲート電極に与えられ、PchMOSFET 89 が OFF 状態、NchMOSFET 91 が ON 状態となり、ポイント 93 はグランド電位である 0 V となる。ポイント 93 は、PchMOSFET 88 と NchMOSFET 90 のゲート電極にも接続されており、PchMOSFET 88 が ON 状態、NchMOSFET 90 が OFF 状態となり、ポイント 92 は電源電圧で安定する。これにより、トランジスタ 19 が OFF 状態でも電源電圧を画素 23 へ与え続けることができる。逆

に、データ線 22 の電位が 0 V の場合には、PchMOSFET 89 と NchMOSFET 90 が ON 状態となり、ポイント 92 は 0 V で安定する。

【0045】電圧保持回路の他の例を示す図 7 においては、トランジスタ 19 が ON 状態になると、データ線 22 の電位 (以下、V0 と記す) は電圧保持回路 8 のポイント 99 に入力される。そして、図 1 に示す信号制御回路 9 は、ポイント 99 とポイント 102 が接続されるようにアナログスイッチ 98 の切り替え信号 101 を制御する。これにより、データ線 22 に与えられた電位 V0 がボルテージフォロア 96 に入力され、ボルテージフォロア 96 の出力として同電位 V0 の電圧が出力される。ローパスフィルタ 97 の出力 100 は、所定の時間後に電位 V0 で安定する。

【0046】その後、図 1 に示す信号制御回路 9 は、ポイント 100 とポイント 102 が接続されるようにアナログスイッチ 98 を切り替え信号 101 により制御する。尚、この制御はデータ線 22 に電位 V0 が印加されている間に行う。そして、今度は、ローパスフィルタ 97 の出力がボルテージフォロア 96 に入力されることにより、ポイント 100 は V0 で安定する。ボルテージフォロア 96 は、出力電圧が入力電圧と同じになるように内部でフィードバックがかけられているが、ローパスフィルタ 97 は、その時の出力の微小変動がボルテージフォロア 96 の入力に伝達されて出力が発散することを防いでいる。画素 23 は、ポイント 100 に接続されて電位 V0 が印加され続ける。

【0047】次に、本発明の LCD 表示器を用いたシステムの動作について図 1、図 2、図 4、図 5 および図 8 を用いて詳細に説明する。以下の説明では各画素が複数階調としていることから、電圧保持回路としては図 7 のタイプ、すなわち、任意の電位を保持できるものを使用している。

【0048】図 5 の LCD 表示回路 26 において、システムデータ信号 37 と VRAM データ信号 29 のバス幅 (信号数) が 32 ビット、LCD データ信号 15 のバス幅が 16 ビット、階調データ信号 (図 1 の 16) のバス幅が 8 ビット、つまり、各画素が 256 階調の場合を例に任意の画素 Pij が透過率 k に更新される過程を説明する。

【0049】この場合、1 回のシステムデータ信号 37 の最大転送量は 4 画素分あるので、1 画素分だけを更新するために 8 ビット、すなわち 1 バイト単位の制御を行う信号が必要となるが、各制御信号に含まれるそれぞれのバイトイネーブル信号がこれを行う。

【0050】画素 Pij の更新は、システム側からシステムアドレス信号 40 に当該アドレス (SAij とする) が出力されるとともに、システムデータ信号 37 に当該データ (xxxk; 全部で 4 バイトあり上の 3 バイトが無効であることを意味する) が出力され、当該するシステ

ムバイトイネーブル信号SBE0およびシステム書き込み信号SWRがアクティブにされることで開始される(図8中43)。

【0051】LCD表示回路26内のアドレス制御回路41は、受け取ったシステムアドレスSAijをVRAMアドレスVAijとLCDアドレスLAijに変換出力し、VRAM制御信号31およびLCD制御信号17を生成出力する。ここでいうVRAM制御信号31とは、ビデオメモリがDRAMであればRAS(ロウアドレスストロブ)、CAS(カラムアドレスストロブ)、WE(ライトイネーブル)といった信号になる。ここでは、システム側と同様にバイトイネーブル信号VBE0と書き込み信号VWRで説明を進める。

【0052】LCD制御信号17とは、LCDバイトイネーブルLBE0、1とLCD書き込み信号LWRであり、この場合当該LCDバイトイネーブルLBE0とLWRがアクティブで出力される。システムデータ信号37により入力されたデータxxkは、LCD表示回路26のライトバッファ38でラッチ、分割され、LCD制御信号17、VRAM制御信号31に同期してVRAMデータ信号29およびLCDデータ信号15に出力される。VRAMデータ信号29に出力されたデータxxkは、図3に示すビデオメモリ25に記憶される。

【0053】図1において、LCD制御信号17のLCD書き込み信号LWR=0によりデータ転送開始を検出(図8の44)したLCD表示器27内の信号制御回路9は、入力されたLCDアドレスLAijから当該ゲート線選択データGSjと当該データ線選択データDSiを生成する。ゲート線、データ線の数とともに256(2の8乗)本の場合、ゲート線選択信号とデータ線選択信号はともに8本となる。さらに、信号制御回路9では、LCDデータ信号15により入力されたデータxkを基に階調データTkを生成し階調データ信号16に出力する。LCDバイトイネーブル信号はどのバイトが有効かを知る手段として使われ、この場合LBE1がインアクティブである(図8の45)ことから、信号制御回路9は、入力されたデータxkの上1バイトが無効と判断し、当該データによるゲート線およびデータ線の駆動は行わないように制御を行う。

【0054】なお、図1に示す電源回路1は、入力された電源2を基に常にゲート線駆動基準電圧、データ線駆動基準電圧および電圧保持回路8用の電源を生成、供給している。

【0055】図1に示すデータ線駆動回路6は、入力されたデータ線選択データDSi、階調データTk、データ先駆同基準電圧に基づきi列目のデータ線Xi(図2の22)を階調kに相当する電位Vkで駆動する(図8の46)。これにより、LCD表示パネル7のi列目のデータ線に接続された全てのトランジスタのドレイン電極に当該電位が印加されることになる。

【0056】一方、ゲート線駆動回路5は、入力されたゲート線選択データGSjとゲート線駆動基準電圧に基づきj行目のゲート線Yj(図2の18)を予め設定された電位で駆動する(図8の47)。これにより、LCD表示パネル7内のj行目のゲート線に接続されたトランジスタが導通状態となり、上述のデータ線の動作と合わせてj行i列目のトランジスタのソース電極に階調kに相当する電位Vkが与えられて画素Pijが階調kに更新される。同時に、当該トランジスタ19のソース電極21に接続された電圧保持回路8に当該電位Vkが保持される。

【0057】この時、i列以外のデータ線を高抵抗状態にしておくことで、j行目に接続されたi列以外の電圧保持回路の保持電位が更新されることを防いでいる。電圧保持回路により画素は次の更新が行われるまでその階調を保持する。

【0058】次に、Pij、Pi+1j、Pi+2j、Pi+3jの連続した4つの画素を、それぞれ階調k、l、m、nに更新する場合について説明する。

【0059】システム側からは、上述のシステムバイトイネーブルLBE0、1、2、3が全てアクティブで出力され、システムデータバスにはデータnm1kが出力される(図8の48)。LCD表示回路26は、ビデオメモリ25の当該アドレスに全てのデータを書き込むように、VRAM制御信号31を用いて制御を行う(図8の49)。

【0060】一方、LCD表示器27に対しては半分のバス幅しか無いので、2回の転送に分割する必要がある。そこで、LCD表示回路26のライトバッファ38は、ラッチした4バイトデータnm1kの内LCDデータ信号15に対してまず下側の2バイトlkを出力する。アドレス制御回路41は、LCDアドレス信号10にアドレスLAijとLCDバイトイネーブルLBE0、1を2本ともアクティブで出力する(図8の50)。続いて、LCDデータバスに上側の2バイトnm、LCDアドレス信号にアドレスLAi+2j、それと2本のLCDバイトイネーブルをアクティブで出力する(図8の51)。

【0061】図1において、信号制御回路9は、受け取った2回の転送に対して更に2回ずつのデータ線選択信号14、ゲート線選択信号13および階調データ信号16の出力を行う。すなわち、LCD書き込み信号LWRをアクティブで受け取った時、2本のLCDバイトイネーブルLBE0、LBE1が共にアクティブであることから、信号制御回路9は、まず入力されたLCDアドレスLAijとLCDデータlkより、データ線選択信号14にDSi、ゲート線選択信号13にGSj、そして階調データ信号16にTkを予め設定された時間だけ出力(図8の52)した後、データ線選択信号14にDi+1、階調データ信号16にTiを予め設定された時間だけ出力

する(図8の53)。同様に、LCDアドレス $L A_{i+2j}$ 、LCDデータ $n m$ を受け取り、データ線選択信号14に D_{i+2} 、 D_{i+3} の順で、階調データ信号16に T_m 、 T_n の順で出力する(図8の54、55)。

【0062】なお、ゲート線駆動回路5、データ線駆動回路6、LCD表示パネル7の動作は、上述した1画素の更新の場合と同じであるのでここでの説明は省略する。

【0063】図4においては、LCD表示回路26は、システムメモリ33に表示データを記憶する。その場合のメモリアドレス信号34、メモリデータ信号35およびメモリ制御信号36は、上述したVRAMアドレス信号30、VRAMデータ信号29およびVRAM制御信号31と同じ動作をする。しかし、LCD表示回路26がシステムメモリ33にアクセスする場合、まずメモリアクセス要求信号65をアクティブで出力し、それを受けたシステム制御回路32は、自身がシステムメモリ33へのアクセス途中でなければメモリアクセス許可信号66をアクティブで出力する。これを受けてはじめてLCD表示回路からシステムメモリ33へのアクセスが可能になる。

【0064】しかし、図4においては、LCD表示回路26のシステムメモリ33へのアクセス要求の元はシステム側からの要求だけであることを考慮すると、LCD表示回路26がメモリアクセス要求信号65を出力する時には、基本的にシステム制御回路32はシステムメモリへのアクセスを行っていないと言える。

【0065】次に、本発明の第2の実施の形態について図面を参照して説明する。

【0066】図9は、本発明の第2の実施の形態を示すLCD表示器のブロック図である。電源回路1は、入力された電源2を基にゲート線駆動基準電位信号3およびデータ線駆動基準電位信号4を生成し、それぞれの信号をゲート線駆動回路5またはデータ線駆動回路6に与える。さらに、電源回路1は、LCD表示パネル7の電圧保持回路8用の電源を供給する。

【0067】信号制御回路B58は、入力されたVRAMアドレス信号30、RAS信号59、CAS信号60およびWE信号61からデータ線選択信号14、ゲート線選択信号13を生成出力し、VRAMデータ信号29、CAS信号60から階調データ信号16を生成出力する。データ線駆動回路6は、データ線選択信号14と階調データ信号16を入力し、当該データ線に当該電位を印加する。一方、ゲート線駆動回路5は、ゲート線選択信号13を入力し当該ゲート線に駆動電位を印加してLCD表示パネル7を駆動する。

【0068】図10は、本発明の第2の実施の形態におけるLCD表示装置の一例を示すブロック図である。LCD表示回路B62は、システム側からの要求に基づいて、ビデオメモリ25へのデータの書き込みおよびビデオ

メモリ25からのデータの読み込みを行う制御手段である。ビデオメモリ25は、表示データを記憶する記憶手段であり、LCD表示器B64は、表示データを表示する表示手段である。これらは、VRAMデータ信号29、VRAMアドレス信号30、VRAM制御信号31で接続されている。LCD表示回路B62にはシステムデータ信号37、システムアドレス信号40、システム制御信号42によりシステムから要求を与えられる。

【0069】図11は、本発明の第2の実施の形態におけるLCD表示回路の詳細を示すブロック図である。アドレス制御回路B68は、入力されるシステムアドレス信号40およびシステム制御信号42を基に、VRAMアドレス信号30、VRAM制御信号31を生成出力する。システムからの要求がビデオメモリ25からの読み込みの場合、VRAMデータ信号29を介して入力されたデータは、リードバッファ39にラッチされシステムデータ信号37に出力される。一方、システムからの要求がビデオメモリ25への書き込みの場合、システムデータ信号37を介して入力されたデータは、ライトバッファ38にラッチされVRAMデータ信号29に出力される。なお、ライトバッファ38の制御はライトバッファ制御信号56により、リードバッファ39の制御はリードバッファ制御信号57によりアドレス制御回路B68が行う。

【0070】図12は、本発明の第2の実施の形態におけるビデオメモリとLCDパネルの対応を示す概念図である。DRAMモジュール63は、ロウアドレス9ビット、カラムアドレス9ビット、データの幅が32ビットで256Kx32ビットの記憶容量を持っている。LCD表示パネル7は、X方向、Y方向とも1024(2の10乗)の画素数を持つ。

【0071】この場合、システムアドレス信号40は18本必要となり、各信号をSA19、SA18、・・・SA03、SA02と表すことにする。同様に、ロウアドレスをRA8、RA7、・・・RA1、RA0とし、カラムアドレスをCA8、・・・CA1、CA0と表すことにする。

【0072】データ線選択信号14とゲート線選択信号13は共に10本必要となり、各信号をDS9、・・・、DS0とGS9、・・・、GS0と表すことにする。

【0073】さらに、バイト制御のためのシステムバイトイネーブル信号69とカラムアドレスストローブ(CAS)信号60をそれぞれ4本ずつ有し、SBE3、・・・、SBE0とCAS3、・・・、CAS0と表すこととする。

【0074】また、図12では画素P00からP30の階調データはDRAMモジュール63のロウアドレス=0、カラムアドレス=0の4バイトに記憶され(図12の74)、P01からP31の4画素分の階調データはロウアドレス=0、カラムアドレス=256に記憶される(図12の中75)ことを示している。この場合、システムア

ドレス信号 40 と VRAM アドレス信号 30 の対応は、
 $RA[8, \dots, 1, 0] = SA[19, \dots, 1, 2, 11]$

$CA[8, \dots, 1, 0] = SA[10, \dots, 0, 3, 02]$ となる。

【0075】一方、図 9 に示す LCD 表示器 B64 の信号制御回路 B58 では、入力された VRAM アドレス信号 30 のロウアドレスとカラムアドレスからゲート線選択信号 13 とデータ線選択信号 14 を生成する。この場合、VRAM アドレス信号 30 とデータ線選択信号 14

とゲート線選択信号 13 の対応は、
 $GS[9, \dots, 1, 0] = RA[8, \dots, 0], CA8$

$DS[9, \dots, 1, 0] = CA[7, \dots, 0], X, X$ となる。DS の下位 2 ビット "XX" は、CAS0 がアクティブであれば "00" となり、CAS3 がアクティブであれば "11" となる。また、複数の CAS がアクティブの場合は時分割されて出力される。

【0076】図 13 は、本発明の第 2 の実施の形態の動作を示すタイミングチャートである。

【0077】次に、本発明の第 2 の実施の形態の動作について、第 1 の実施の形態と同様に、任意の画素 Pij が透過率 k に更新される過程を図 13 を参照して説明する。

【0078】画素 Pij の更新は、システム側からシステムアドレス信号 40 に当該アドレス SAij が出力されるとともに、システムデータ信号 37 に当該データ xxxk が出力され、当該システムバイトイネーブル信号 SBE0、システム書き込み信号 SWR がアクティブにされることで開始される (図 13 の 70)。

【0079】LCD 表示回路 B62 内のアドレス制御回路 B68 は、受け取ったシステムアドレス SAij を VR

$$\begin{aligned} DS[9, \dots, 1, 0] &= CA[7, \dots, 0], 0, 0 = DS_i \\ &= CA[7, \dots, 0], 0, 1 = DS_{i+1} \\ &= CA[7, \dots, 0], 1, 0 = DS_{i+2} \\ &= CA[7, \dots, 0], 1, 1 = DS_{i+3} \end{aligned}$$

という順番で下位 2 ビットだけが変化する (図 13 の 79)。階調データ信号は、Tk, Tl, Tm, Tn という順番で出力される (図 13 の 80)。各変化タイミングは、図 9 に示すデータ線駆動回路 6、ゲート線駆動回路 5 および LCD 表示パネル 7 の能力に合わせてあらかじめ設定しておく。

【0084】なお、ゲート線駆動回路 5、データ線駆動回路 6、LCD 表示パネル 7 の動作については、上述した第 1 の実施の形態と同じであるのでここでの説明は省略する。

【0085】以上説明したように、第 2 の実施の形態においては、LCD 表示器の I/F をビデオメモリの I/F と同じにしており、LCD 表示回路が簡略化される。

【0086】

AM アドレス、すなわち DRAM のロウアドレスとカラムアドレスに変換出力し、まずロウアドレス RAij を VRAM アドレス信号 30 に出力、データ xxxk を VRAM データ信号 29 に出力し、WE61 をアクティブにし (図 13 の 71)、予め設定された時間の後 RAS59 をアクティブにする (図 13 の 72)。さらに、予め設定された時間の後 VRAM アドレス信号 30 をカラムアドレスに変更し、CAS0 をアクティブにする (図 13 の 73)。以上の動作により、データ xxxk はビデオメモリ 25 に記憶される。

【0080】次に、複数の画素 Pij, Pi+1j, Pi+2j, Pi+3j の連続した 4 つの画素を、それぞれ階調 k, l, m, n に更新する場合について説明する。

【0081】システム側からは、上述のシステムバイトイネーブル (LBE0, 1, 2, 3) 69 が全てアクティブで出力され、システムデータ信号 37 にはデータ nm1k が出力される (図 13 の 76)。システムバイトイネーブル 69 が全てアクティブであることを受けて、LCD 表示回路 B62 は CAS60 を全てアクティブにする (図 13 の 77)。VRAM アドレス信号 30、VRAM データ信号 29、RAS59 および WE61 の動作は、上述の単一画素の更新の場合と同じであるので、ここでは説明を省く。

【0082】CAS を全てアクティブで受け取った LCD 表示器 B64 の信号制御回路 B58 は、4 回のデータ線選択信号 14、ゲート線選択信号 13 および階調データ信号 16 の出力を行う。この間ゲート線選択信号 13 は常に、 $GS[9, \dots, 1, 0] = RA[8, \dots, 0], CA8$ となり、図 13 ではこれを GSj (図 13 の 78) と記述している。

【0083】一方、データ線選択信号 14 は、

【発明の効果】上述した本発明による第 1 の効果は、表示リフレッシュが不要となったため、LCD 表示器へのデータ転送は表示データの更新を伴うシステム側からの書き換え発生時に行うだけでよく、表示を維持するためのビデオメモリへのアクセスが不要となり、それに伴う消費電力を削減できることである。

【0087】第 2 の効果は、表示リフレッシュに伴うビデオメモリへのアクセスが無くなるため、実質上のビデオメモリのバンド幅の向上に伴う待ち時間の減少等のシステム性能が向上することである。

【0088】第 3 の効果は、アドレス指定により表示画素位置を決定することから表示位置のずれ等が発生しないため、表示のずれ、ちらつき等の LCD 表示品質が向上することである。

【0089】第4の効果は、従来LCD表示回路とLCD表示器間の表示リフレッシュのための表示タイミングがLCD表示器毎に異なっていたが、表示リフレッシュが不要となった結果、LCD表示器のI/Fを既存のI/F、例えばメモリI/FやシステムバスI/Fに合わせる事が可能になり、LCD表示回路の共通化が実現できることである。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すLCD表示器のブロック図である。

【図2】本発明の第1の実施の形態におけるLCD表示パネルの内部構造を示す図である。

【図3】本発明の第1の実施の形態におけるLCD表示装置の一例を示すブロック図である。

【図4】本発明の第1の実施の形態におけるLCD表示装置の他の例を示すブロック図である。

【図5】本発明の第1の実施の形態におけるLCD表示回路の詳細を示すブロック図である。

【図6】本発明の第1の実施の形態における電圧保持回路の一例を示すブロック図である。

【図7】本発明の第1の実施の形態における電圧保持回路の他の例を示すブロック図である。

【図8】本発明の第1の実施の形態の動作を示すタイミングチャートである。

【図9】本発明の第2の実施の形態を示すLCD表示器のブロック図である。

【図10】本発明の第2の実施の形態におけるLCD表示装置の一例を示すブロック図である。

【図11】本発明の第2の実施の形態におけるLCD表示回路の詳細を示すブロック図である。

【図12】本発明の第2の実施の形態におけるビデオメモリとLCDパネルの対応を示す概念図である。

【図13】本発明の第2の実施の形態の動作を示すタイミングチャートである。

【図14】従来のLCD表示パネルの内部構造を示す概略図である。

【図15】第1の従来の技術を示すLCD表示装置のブロック図である。

【図16】第2の従来の技術を示すブロック図である。

【図17】従来の技術における表示タイミングを示す図である。

【符号の説明】

- 1 電源回路
- 2 電源
- 3 ゲート線駆動基準電位信号
- 4 データ先駆動基準電位信号
- 5 ゲート線駆動回路
- 6 データ線駆動回路
- 7 LCD表示パネル
- 8 電圧保持回路

9 信号制御回路

10 LCDアドレス信号

11 ゲート線

12 データ線

13 ゲート線選択信号

14 データ線選択信号

15 LCDデータ信号

16 階調データ信号

17 LCD制御信号

18 ゲート線Yj

19 トランジスタ

20 ドレイン電極

21 ソース電極

22 データ線Xi

23 画素Pij

24 ゲート電極

25 ビデオメモリ

26 LCD表示回路

27 LCD表示器

28 システムI/F

29 VRAMデータ信号

30 VRAMアドレス信号

31 VRAM制御信号

32 システム制御回路

33 システムメモリ

34 メモリアドレス信号

35 メモリデータ信号

36 メモリ制御信号

37 システムデータ信号

38 ライトバッファ

39 リードバッファ

40 システムアドレス信号

41 アドレス制御回路

42 システム制御信号

43 アドレス制御回路41が1画素更新サイクルを検出するポイント

44 信号制御回路9が1画素更新サイクルを検出するポイント

45 LCDバイトイネーブル1がインアクティブ

46 データ線Xiに電位Vkを印加

47 ゲート線Yjに駆動電位を印加

48 アドレス制御回路41が4画素更新サイクルを検出するポイント

49 ビデオメモリ25に表示データが書き込まれるポイント

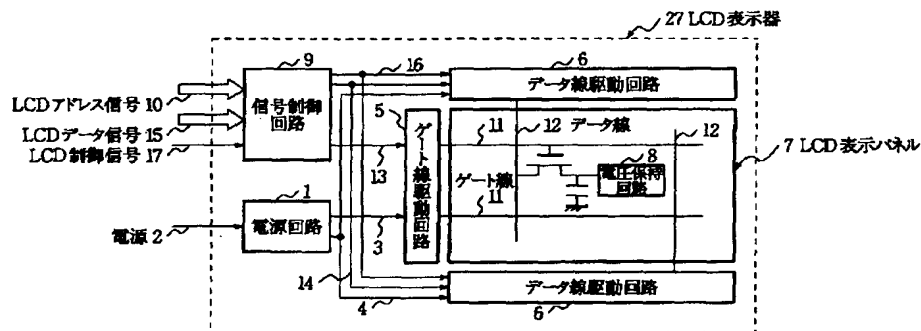
50 信号制御回路9が2画素更新サイクルを検出するポイント1

51 信号制御回路9が2画素更新サイクルを検出するポイント2

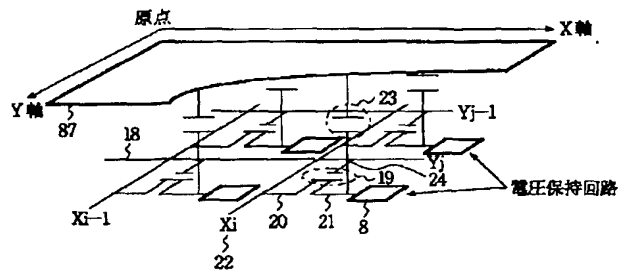
52 データ線Xiに電位Vkを印加

- | | | | |
|-----|--|----|---|
| 5 3 | データ線 X_{i+1} に電位 V_i を印加 | | アクティブに変化 |
| 5 4 | データ線 X_{i+2} に電位 V_m を印加 | | 7 8 ゲート線選択信号に当該データ ($G S_j$) が出力される |
| 5 5 | データ線 X_{i+3} に電位 V_n を印加 | | 7 9 データ線選択信号に当該データが順次出力される |
| 5 6 | ライトバッファ制御信号 | | 8 0 階調データ信号に当該データが順次出力される |
| 5 7 | リードバッファ制御信号 | | 8 1 j 行目の 1 ラインのリフレッシュ期間 |
| 5 8 | 信号制御回路 B | | 8 2 j 行 i 列目の画素の表示 |
| 5 9 | ロウアドレスストローブ (RAS) 信号 | | 8 3 j 行 $i + 1$ 列目の画素の表示 |
| 6 0 | カラムアドレスストローブ (CAS) 信号 | | 8 4 j 行 i 列と $i + 1$ 列の画素データの読み込み |
| 6 1 | ライトイネーブル (WE) 信号 | | 8 5 j 行 $i + 2$ 列と $i + 3$ 列の画素データの読み込み |
| 6 2 | LCD 表示回路 B | 10 | 8 6 システムがビデオメモリへアクセス可能な期間 |
| 6 3 | DRAM モジュール | | 8 7 LCD 表示パネルの表示面 |
| 6 4 | LCD 表示器 B | | 8 8 電圧保持回路 A の P_{ch} -MOSFET 1 |
| 6 5 | メモリアクセス要求信号 | | 8 9 電圧保持回路 A の P_{ch} -MOSFET 2 |
| 6 6 | メモリアクセス許可信号 | | 9 0 電圧保持回路 A の N_{ch} -MOSFET 1 |
| 6 7 | 同期信号 | | 9 1 電圧保持回路 A の N_{ch} -MOSFET 2 |
| 6 8 | アドレス制御回路 B | | 9 2 電圧保持回路 A 内のポイント 1 (画素に接続) |
| 6 9 | システムバイトイネーブル信号 | | 9 3 電圧保持回路 A 内のポイント 2 |
| 7 0 | アドレス制御回路 B 6 8 が 1 画素更新サイクルを検出するポイント | 20 | 9 4 電圧保持回路 A 内のポイント 3 (電源に接続) |
| 7 1 | アドレス制御回路 B 6 8 がビデオメモリへのサイクルを開始するポイント | | 9 5 電圧保持回路 A 内のポイント 4 (GND に接続) |
| 7 2 | 信号制御回路 B 5 8 がロウアドレスをサンプルするポイント | | 9 6 電圧保持回路 B 内のボルテージフォロア回路 |
| 7 3 | 信号制御回路 B 5 8 がカラムアドレスをサンプルするポイント | | 9 7 電圧保持回路 B 内のローパスフィルタ |
| 7 4 | 画素 P_{00} , P_{10} , P_{20} , P_{30} とビデオメモリとの対応 | | 9 8 電圧保持回路 B 内のアナログスイッチ |
| 7 5 | 画素 P_{01} , P_{11} , P_{21} , P_{31} とビデオメモリとの対応 | | 9 9 電圧保持回路 B への保持電圧入力信号, アナログスイッチの入力 1 |
| 7 6 | 全てのシステムバイトイネーブル (SBE) がアクティブである | 30 | 1 0 0 電圧保持回路 B からの保持電圧出力信号, アナログスイッチの入力 2 |
| 7 7 | 全てのカラムアドレスストローブ (CAS) が | | 1 0 1 アナログスイッチへの切り替え信号 |
| | | | 1 0 2 アナログスイッチの出力 1 |

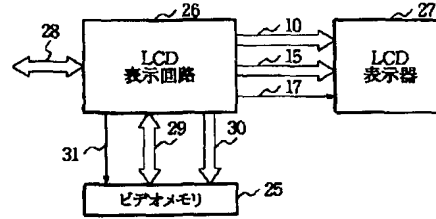
【図 1】



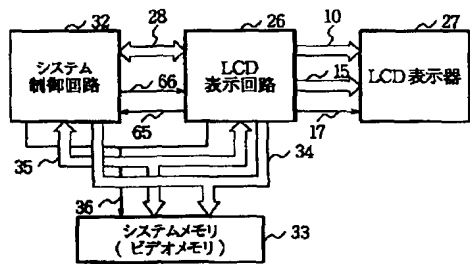
【図 2】



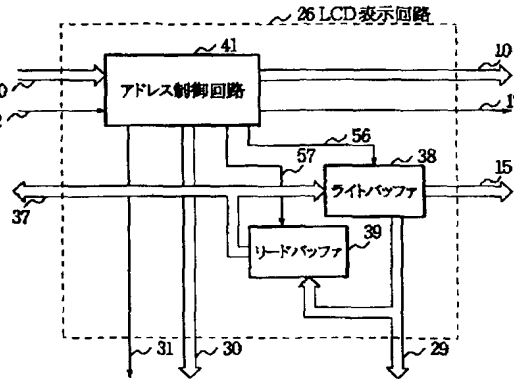
【図 3】



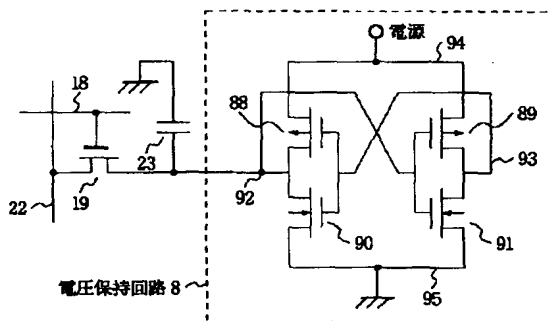
【図 4】



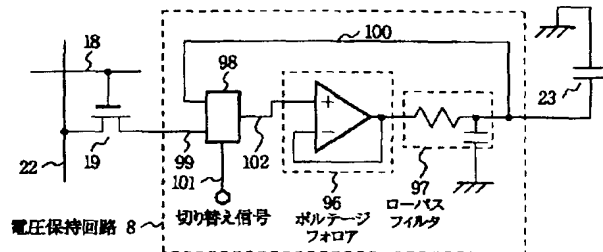
【図 5】



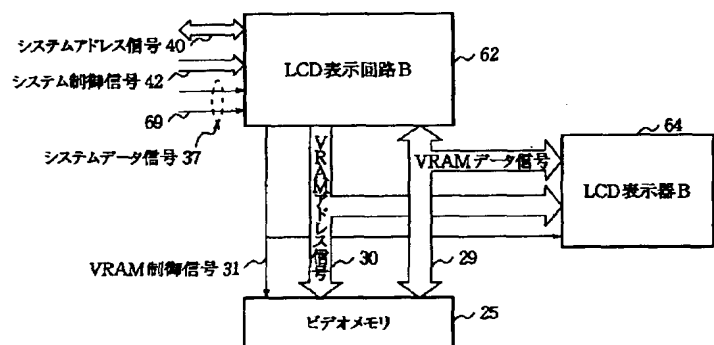
【図 6】



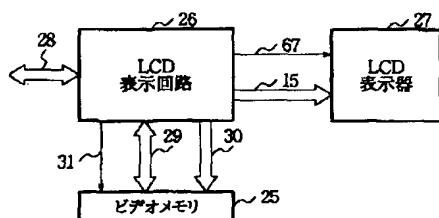
【図 7】



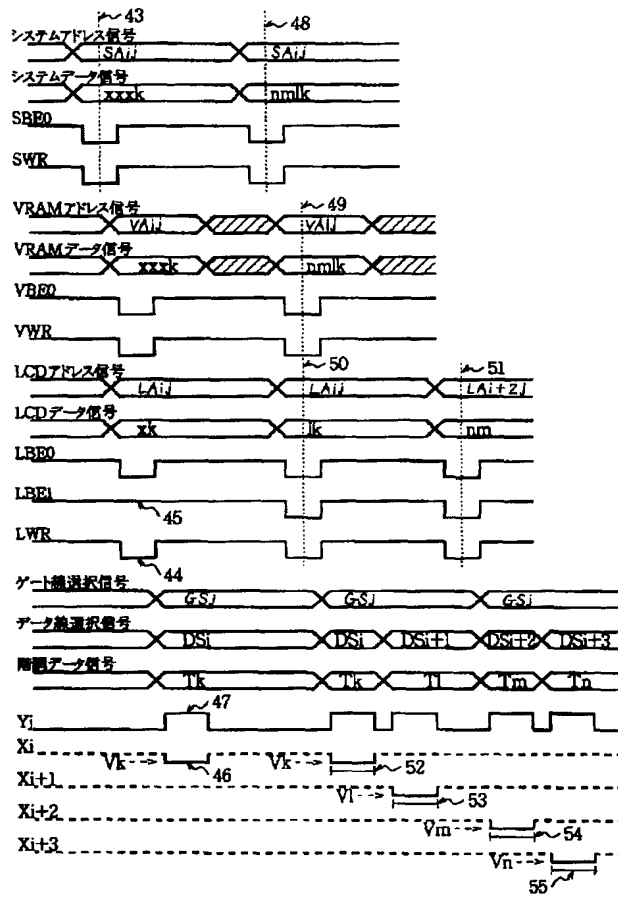
【図 10】



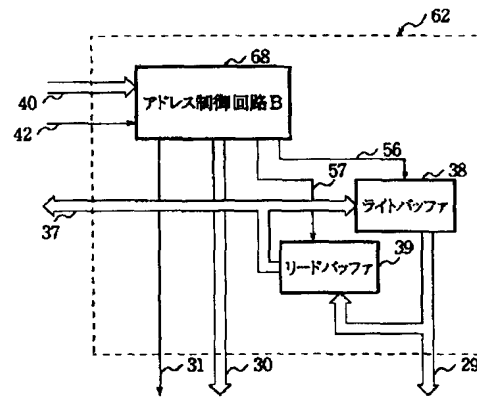
【図 15】



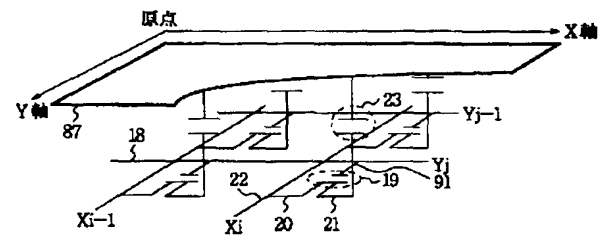
【図8】



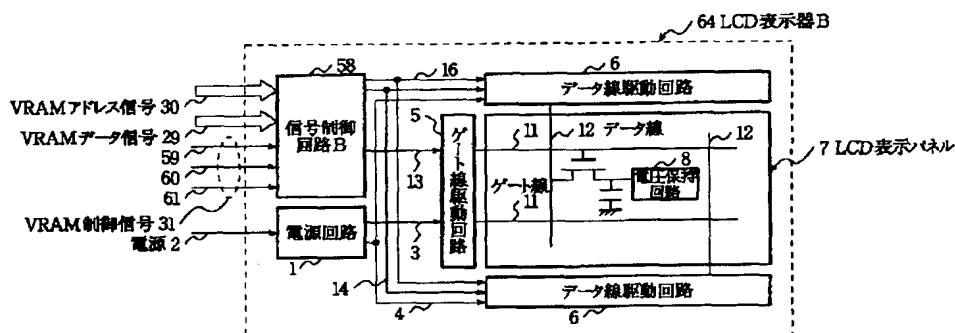
【図11】



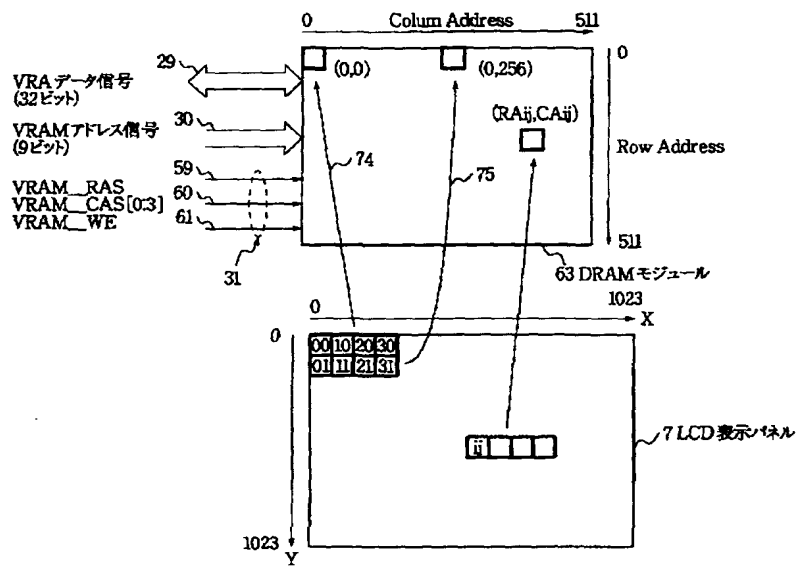
【図14】



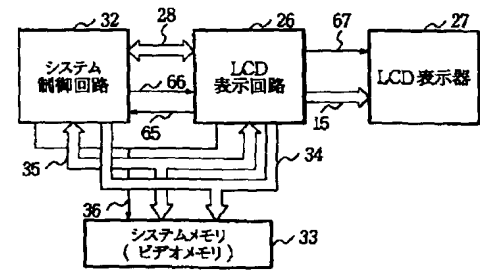
【図9】



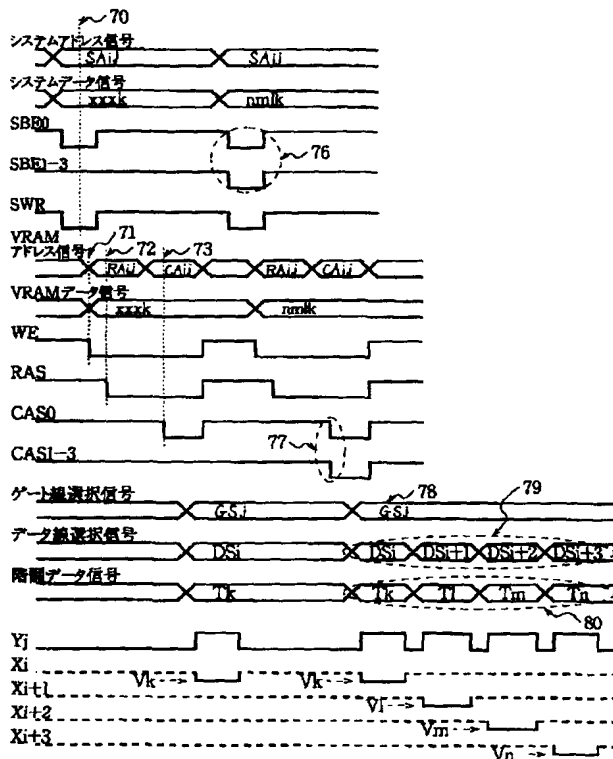
【図 12】



【図 16】



【図 13】



【図 17】

